

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-182476

(43)公開日 平成5年(1993)7月23日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 16/06				
H 0 1 L 27/10	4 8 1	8728-4M		
29/788				
		9191-5L	G 1 1 C 17/ 00	3 0 9 A
			H 0 1 L 29/ 78	3 7 1
			審査請求 有	発明の数 2(全 4 頁)
				最終頁に続く

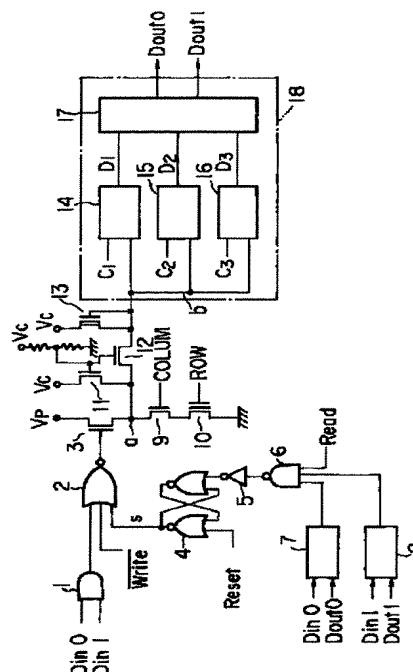
(21)出願番号	特願平4-144168	(71)出願人	000003078
(62)分割の表示	特願昭57-227760の分割		株式会社東芝
(22)出願日	昭和57年(1982)12月28日		神奈川県川崎市幸区堀川町72番地
		(72)発明者	住原 英樹
			神奈川県川崎市幸区小向東芝町 1 番地 株
			式会社東芝トランジスタ工場内
		(72)発明者	岩橋 弘
			神奈川県川崎市幸区小向東芝町 1 番地 株
			式会社東芝トランジスタ工場内
		(74)代理人	弁理士 鈴江 武彦

(54)【発明の名称】 不揮発性半導体メモリ

(57) 【要約】

【目的】 1つのメモリセルに複数ビットのデータを記憶した不揮発性半導体メモリの歩留向上、回路の簡単化。

【構成】不揮発性半導体メモリセルと、このメモリセルにデータを書き込む手段と、前記メモリセルに記憶されているデータを読み出す手段と、前記メモリセルのしきい値電圧を、前記読み出されたデータにより生じる、前記メモリセルと負荷素子との接続点の電圧から検知し、またデータ書き込みとデータ読み出しに兼用するセンスアンプと、このセンスアンプの論理出力をもとに、前記メモリセルに設定すべきしきい値電圧が得られるまで、前記データの書き込みと前記データの読み出しを繰り返す論理制御回路とを具備したことを特徴とする。



【特許請求の範囲】

【請求項1】不揮発性半導体メモリセルと、このメモリセルにデータを書き込む手段と、前記メモリセルに記憶されているデータを読み出す手段と、前記メモリセルのしきい値電圧を、前記読み出されたデータにより生じる、前記メモリセルと負荷素子との接続点の電圧から検知し、またデータ書き込みとデータ読み出しに兼用するセンスアンプと、このセンスアンプの論理出力をもとに、前記メモリセルに設定すべきしきい値電圧が得られるまで、前記データの書き込みと前記データの読み出しを繰り返す論理制御回路とを具備したことを特徴とする不揮発性半導体メモリ。

【請求項2】前記不揮発性半導体メモリセルは、電子の注入に応じてしきい値電圧が決められるものである請求項1に記載の不揮発性半導体メモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、1メモリセルに複数ビット分のデータを有する不揮発性半導体メモリに関する。

【0002】

【従来の技術】従来、半導体メモリ特にROM(Read Only Memory)においては、例えばメモリセルのしきい値電圧を4種に区別することにより、1セルに2ビット分のデータを記憶する方式のものが提案されている。これは、1セルに2ビット分のデータを記憶することにより、セルの占有面積を半分にできるという利点がある。2ビット分のデータは“0”、“0”；“1”、“0”；“0”、“1”；“1”、“1”の4つの組み合わせがあるが、これをそのしきい値電圧に対応させ、そのメモリセルが選択されたときのデータ線の電位により、4つのデータのどれかを区別し、2ビット分のデータを読み出すものである。

【0003】しかしながら従来、メモリセルのしきい値電圧コントロールは、ゲート電圧やドレイン電圧を変えることによりなされていた。このためこの方法では、セルのゲート長のばらつきとか、酸化膜の膜厚のばらつきなどから、しきい値電圧をコントロールすることが難しく、同一の電圧条件で書き込みを行っても、しきい値電圧は同一にはならずばらついてしまい、歩留低下の原因となるものである。

【0004】

【発明が解決しようとする課題】本発明は上記実情に鑑みてなされたもので、1つのメモリセルのしきい値に重みをつけ、複数ビット分のデータを記憶する不揮発性メモリにおいて、メモリセルのしきい値のコントロールを容易化できる不揮発性半導体メモリを提供しようとする

ものである。

【0005】

【課題を解決するための手段と作用】本発明は、不揮発性半導体メモリセルと、このメモリセルにデータを書き込む手段と、前記メモリセルに記憶されているデータを読み出す手段と、前記メモリセルのしきい値電圧を、前記読み出されたデータにより生じる、前記メモリセルと負荷素子との接続点の電圧から検知し、またデータ書き込みとデータ読み出しに兼用するセンスアンプと、このセンスアンプの論理出力をもとに、前記メモリセルに設定すべきしきい値電圧が得られるまで、前記データの書き込みと前記データの読み出しを繰り返す論理制御回路とを具備したことを特徴とする。

【0006】即ち本発明は、上記目的を達成するために、1メモリセルの設定すべきしきい値電圧の大きさに応じて入力データを設定し、書き込まれたしきい値電圧に応じた複数ビットの出力をフィードバックして、出力の複数ビットと入力データの複数ビットが互いに一致するまでメモリセルのしきい値を変化させるようにしたものである。

【0007】

【実施例】以下図面を参照して本発明の一実施例を説明する。図1において1は書き込み入力データDin0、Din1が供給されるアンド回路、2はトランジスタ3を制御して高電圧Vp(約20V)をa点に供給するノア回路、4はフリップフロップ、5はインバータ、6はナンド回路、7、8は前記入力データと後述の出力データを比較する比較器、9はカラム選択用トランジスタ、10は書き込みにより電子が注入されしきい値電圧が変わるメモリセル、11、12はメモリセル10のドレイン電圧を下げてデータ読み出し時の誤書き込みを防止するトランジスタ、13は負荷トランジスタ、14～16は基準電圧C1～C3、(C1>C2>C3)とトランジスタ12を介したa点電圧を入力とするセンスアンプ、17は該アンプ出力D1～D3を入力としこれをもとに作成した出力Dout0、Dout1を導出する変換回路で、出力Dout0とDout1は比較器7と8にフィードバックされている。

【0008】図1において一点鎖線で囲われた部分18は、メモリセルのしきい値電圧によって変化するb点の電位を、C1、C2、C3なる3つの基準電圧レベルと比較することにより、下記の表1のような2ビットの出力Dout0、Dout1の4種の組み合わせの1つを出す回路である。

【0009】

【表1】

出力 bのレベル	D1	D2	D3	Dout0	Dout1
$b < C_3$	0	0	0	1	1
$C_2 > b > C_3$	0	0	1	1	0
$C_1 > b > C_2$	0	1	1	0	1
$b > C_1$	1	1	1	0	0

【0010】また図1の回路においてDin0="1"、Din1="1"のとき非書き込み状態、Din0、Din1のいずれかが"0"または共に"0"であれば、書き込みが行われる。

【0011】しかして、入力データDin0、Din1の値が書き込み状態であるときに、図2の信号/PGM（図ではPGMの真上にバーがある）が"0"（"L"）になると、リセット信号Resetが"1"（"H"）となって、信号Sが"0"となる。このとき信号/Write（図ではWriteの真上にバーがある）が"0"ならば、トランジスタ3がオン状態で書き込み（プログラム）が行われる。

【0012】次に信号readが"1"（読み出し状態）になると、ノア回路2の出力は、信号/Writeは"1"で、"0"となり、書き込みは行われない。この読み出し状態では、b点に、前記書き込まれた値に応じた電圧が出ているので、その値に応じて出力D₁、D₂、D₃の値が決まり、出力Dout0、Dout1も決まる。この値をフィードバックして比較器7、8で入力データDin0、Din1と比較してみる。該比較器で両入力が一致していれば、読み出し時に信号Sが"1"となって書き込みが中止になり、その後信号/Writeが"0"になっても書き込みは行われない。

【0013】一方、比較器7、8でそれぞれ両入力一致してなければ、信号Sはそのまま、次の信号/Writeが"0"のときにトランジスタ3をオン状態にして書き込みを行い、この書き込み結果のデータをフィードバックして比較器7、8でそれぞれ両入力を比較する。そしてこれら両入力一致していれば書き込みを中止し、一致していなければ、上記同様の過程で一致するまで書き込みが行われる。このようにわずかの書き込みを行い、順次読み出すことにより、メモリセルのしきい値のコントロールが容易に行えるようにしたものである。

【0014】また上記データの読み出しは、メモリセル10に対する負荷トランジスタ13が接続されているb点の電圧と基準電圧C₁～C₃とをセンスアンプ14～16で比較することにより行い、その電圧値の大小関係に応じてセンスアンプの出力D₁～D₃の論理の"0"と"1"とが決定される。そしてこれらセンスアンプ1

4～16は、上記データ書き込み時に用いているものの、その時データ読み出しをも行うものだから、通常のデータ読み出し時に用いるセンスアンプとしても兼用できるという利点がある。しかもセンスアンプの出力D₁～D₃以降の処理は、論理回路で処理できるため、回路的に複雑にならないという利点がある。

【0015】即ち上記構成においては、メモリセルのしきい値電圧の上昇具合のチェックを、基準電圧C₁～C₃とセンスアンプ14～16を用いる通常の読み出し方式と同じ方法で行うようにしているため、通常の読み出し回路も兼用でき、しかも回路的に複雑にならないという利点がある。

【0016】なお本発明は上記実施例に限定されるものではなく、種々の応用が可能である。例えば実施例では、メモリセルのしきい値電圧を4種に区別して、1つのメモリセルに2ビット分のデータを記憶したが、例えばしきい値電圧を8種に区別すれば、1メモリセルに3ビット分のデータを記憶できる。また実施例では、出力2ビット分を1つのメモリセルに記憶するようにしたが、2つのアドレス分のデータを1つのメモリセルに記憶するようにしてもよい。

【0017】

【発明の効果】以上説明したごとく本発明によれば、1つのメモリセルのしきい値に重みをつけ、複数ビット分のデータを記憶してメモリセルの占有面積を縮小化する不揮発性メモリにおいて、書き込み信号と読み出し信号により、メモリセルへの書き込み量を順次読み出してモニタし、複数種のしきい値のうちのどれか1つに制御性よく設定できるため、歩留が向上する。また、メモリセルのしきい値電圧の上昇具合のチェックを、基準電圧とセンスアンプを用いる通常の読み出し方式と同じ方法で行うようにしているため、読み出し回路も兼用でき、しかも回路的に複雑にならないという利点がある。

【図面の簡単な説明】

【図1】本発明の一実施例の構成図。

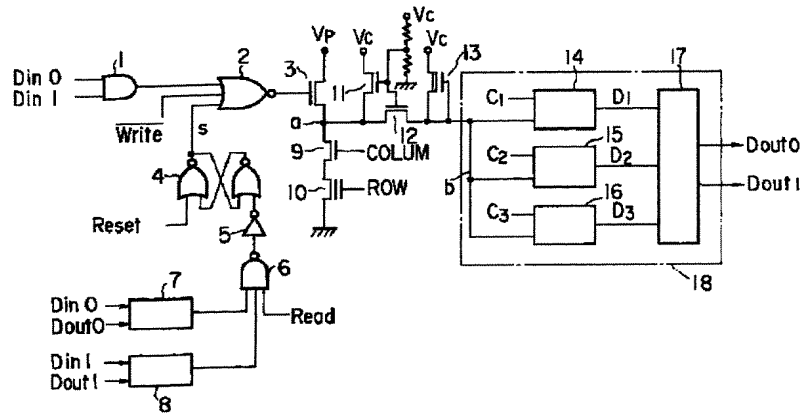
【図2】同構成の動作を示すタイミングチャート。

【符号の説明】

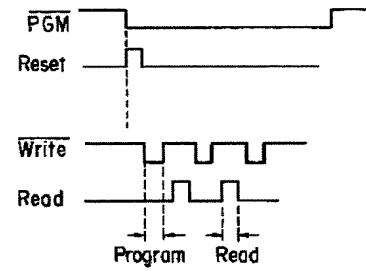
1、6…アンド回路、2…ノア回路、3、9～13…トランジスタ、4フリップフロップ、6…ナンド回路、7、8…比較器、14～16…センスアンプ、17…変

換回路。

【図 1】



【図 2】



フロントページの続き

(51)Int.Cl.⁵

H 0 1 L 29/792

識別記号

庁内整理番号

F I

技術表示箇所